

prior art

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260991

(43)Date of publication of application : 22.09.2000

(51)Int.Cl. H01L 29/786

(21)Application number : 11-058958

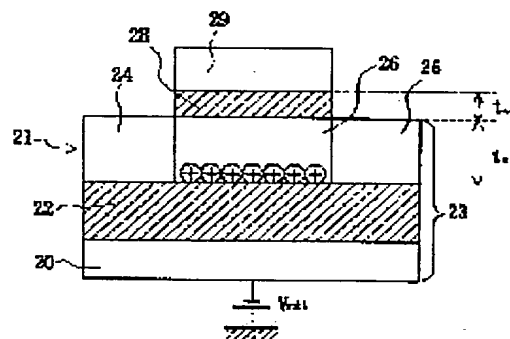
(71)Applicant : UNIV TOKYO

(22)Date of filing : 05.03.1999

(72)Inventor : HIRAMOTO TOSHIRO  
TAKAMIYA MAKOTO**(54) CIRCUIT HAVING MOS TRANSISTOR FOR CONTROLLING THRESHOLD VOLTAGE AND METHOD FOR CONTROLLING THE THRESHOLD VOLTAGE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To realize both high-speed operation of a MOS transistor for controlling the threshold voltage and reduction of power consumption.

**SOLUTION:** When a voltage  $V_{sub1}$  is applied to a substrate 20, holes are induced around the joint surface with respect to a body 26 and an insulation layer 22, so that an electrically induced body(ETB)-MOS transistor structure is formed. Due to such a formation of holes around the joint surface, the depth of depletion layer becomes equivalent to the thickness  $t_{SOI1}$  of single-crystal layer 21. Thus, a substrate bias effect is increased, and a substrate bias constant can be increased while a threshold voltage is kept suppressed. This effect can realize an dynamic threshold MOS(EIB-DTMOS) transistor structure, and this becomes significant if the transistor is operated in an accumulation mode.

**LEGAL STATUS**

[Date of request for examination] 05.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3174852

[Date of registration] 06.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[0004] Usually, when an MOS transistor is On or Off, a threshold voltage thereof is almost constant. However, the threshold voltage can be controlled by changing a voltage of a substrate portion of the MOS transistor. That is, when the voltage of the substrate portion is  $V_{bs}$ , change in threshold voltage  $\Delta V_{th}$  is given by equation 1:

[0005]

$$\Delta V_{th} = -\gamma V_{bs},$$

where  $\gamma$  is called a substrate bias constant. Thus, as a method for combining the high speed of the MOS transistor and low power consumption thereof, such a method can be enumerated that the voltage of the substrate portion of the MOS transistor is changed to decrease the threshold voltage of the MOS transistor when it is On and to increase the threshold voltage when it is Off.

[0006] As specific measures therefor, VT MOS (Variable Threshold MOS) technology and the DT MOS (Dynamic Threshold MOS) technologies have been proposed.

[0007] In a VT MOS transistor constructed using the VT MOS technology, a threshold voltage thereof is controlled by a whole chip to which the VT MOS transistor is mounted. In this case, when the VT MOS transistor is On, a predetermined voltage is applied to a substrate portion thereof. However, when the VT MOS transistor is Off, a voltage, which is less than the voltage applied when the VT MOS transistor is On, is applied to the substrate portion by means of the whole chip to thereby increase the threshold value voltage.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-260991  
(P2000-260991A)

(43)公開日 平成12年9月22日(2000.9.22)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

テームコード\*(参考)

6 1 7 N 5 F 1 1 0

6 1 3 A

6 2 6 C

審査請求 有 請求項の数8 O L (全 7 頁)

(21)出願番号 特願平11-58958

(22)出願日 平成11年3月5日(1999.3.5)

特許法第30条第1項適用申請有り 1998年9月7日~9月10日 THE JAPAN SOCIETY OF APPLIED PHYSICS主催の「Extended Abstracts of the 1998 International Conference on SOLID STATE DEVICES AND MATERIALS」において文書をもって発表

(71)出願人 391012327

東京大学長

東京都文京区本郷7丁目3番1号

(72)発明者 平本 俊郎

神奈川県横浜市栄区小菅ヶ谷1-5-1-605

(72)発明者 高宮 真

東京都足立区千住4-14-9 グリーンファンタジア 211号

(74)代理人 100059258

弁理士 杉村 暁秀 (外8名)

Fターム(参考) 5F110 AA01 AA05 AA08 AA09 BB04

DD22 EE10 EE30 FF02 GG02

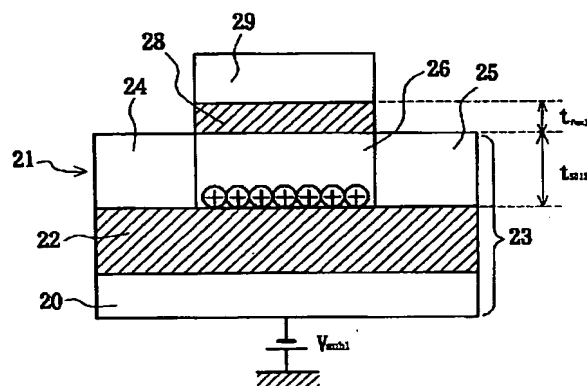
GG12 GG25 GG34 GG37 QQ12

(54)【発明の名称】 しきい値電圧を制御するMOSトランジスタを有する回路及びしきい値電圧制御方法

(57)【要約】

【課題】 しきい値電圧を制御するMOSトランジスタの高速性及び消費電力の低減を両立させる。

【解決手段】 基板20に電圧 $V_{sub1}$ が印加されると、ボディ26の絶縁層22に対する接合面付近にホールが誘起されたEIB-MOSトランジスタ構造となる。このように接合面付近にホールが存在することによって、空乏層深さが単結晶層21の厚さ $t_{Si11}$ に相当することとなる。これによって基板バイアス効果が増大し、しきい値電圧を低下させたまま基板バイアス定数を増大させることができる。そのような効果は、EIB-DTMO Sトランジスタ構造にするとともにアキュムレーションモードで動作させた場合、顕著になる。



## 【特許請求の範囲】

【請求項 1】 しきい値電圧を制御しうる MOS トランジスタを具え、その MOS トランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有する SOI を有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記 MOS トランジスタを、前記基板に第 1 の極性の電圧を印加することによって、前記包囲領域の前記絶縁層に対する接合面付近に第 2 の極性の電荷を誘起させた EIB-MOS トランジスタとしたことを特徴とするしきい値電圧を制御しうる MOS トランジスタを有する回路。

【請求項 2】 前記 EIB-MOS トランジスタを、DTMOS 技術を用いて構成した EIB-DTMOS トランジスタとしたことを特徴とする請求項 1 記載のしきい値電圧を制御しうる MOS トランジスタを有する回路。

【請求項 3】 前記 EIB-DTMOS トランジスタを、チャネルに誘起されるキャリアと同一の導電型となるようにチャネルを不純物ドーピングしたアキュムレーションモード DTMOS トランジスタとしたことを特徴とする請求項 2 記載のしきい値電圧を制御しうる MOS トランジスタを有する回路。

【請求項 4】 前記 EIB-MOS トランジスタによって CMOS 回路を構成したことを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載のしきい値電圧を制御しうる MOS トランジスタを有する回路。

【請求項 5】 しきい値電圧を制御しうる MOS トランジスタを具え、その MOS トランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有する SOI を有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記 MOS トランジスタを、前記基板に第 1 の極性の電圧を印加し、前記包囲領域の前記絶縁層に対する接合面付近に第 2 の極性の電荷を誘起させた EIB-MOS トランジスタとしたことを特徴とするしきい値電圧制御方法。

【請求項 6】 前記 EIB-MOS トランジスタを、DTMOS 技術を用いて構成した EIB-DTMOS トランジスタとしたことを特徴とする請求項 5 記載のしきい値電圧制御方法。

【請求項 7】 前記 EIB-MOS トランジスタを、チャネルに誘起されるキャリアと同一の導電型となるようにチャネルを不純物ドーピングしたアキュムレーションモード EIB-DTMOS トランジスタとしたことを特徴とする請求項 5 記載のしきい値電圧制御方法。

【請求項 8】 前記 EIB-MOS トランジスタによ

て CMOS 回路を構成したことを特徴とする請求項 7 記載のしきい値電圧制御方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大規模半導体集積回路 (VLSI) を構成するしきい値電圧を制御しうる MOS トランジスタを有する回路及びそれに含まれるしきい値電圧制御方法に関するものである。

【0002】

【従来の技術】現在の VLSI の消費電力は増大の一途をたどっている。最近では、携帯端末用途など電池駆動の VLSI も多くなっており、高速性を維持しながら消費電力を大幅に低減させることが急務になっている。

【0003】VLSI を構成する金属-酸化膜-半導体 (MOS) トランジスタにおいて、高速性及び消費電力に関連する最も重要なパラメータは、そのしきい値電圧である。高速性を実現するためにはしきい値電圧を低下させる必要があるが、しきい値電圧が低いと MOS トランジスタオフ時のリーク電流が増大し、その結果、MOS トランジスタの消費電力が増大する。

【0004】通常、しきい値電圧は MOS トランジスタのオン時・オフ時を通じてほぼ一定であるが、MOS トランジスタの基板部分の電圧を変更することによってしきい値電圧を制御することができる。すなわち、しきい値電圧の変化値  $\Delta V_{th}$  は、基板部分の電圧を  $V_{bs}$  とすると、

【0005】

【数 1】  $\Delta V_{th} = -\gamma V_{bs}$

で与えられる。ここで、 $\gamma$  は基板バイアス定数と呼ばれている。この結果、MOS トランジスタの高速性及び消費電力の低減を両立させる方法としては、MOS トランジスタの基板部分の電圧を変化させて MOS トランジスタのオン時のしきい値電圧を低下させるとともにオフ時のしきい値電圧を上昇させる方法を挙げることができる。

【0006】その具体的な方法として、VTMOS (Variable Threshold MOS) 技術及び DTMOS (Dynamic Threshold MOS) 技術が提案されている。

【0007】VTMOS 技術を用いて構成された VTMOS トランジスタでは、そのしきい値電圧を、VTMOS トランジスタが取り付けられたチップ全体で制御する。この場合、VTMOS トランジスタのオン時に基板部分に所定の電圧を印加するが、そのオフ時には、そのチップ全体で基板部分の電圧にオン時の電圧未満の電圧を印加して、しきい値電圧を上昇させている。

【0008】それに対して、DTMOS 技術を用いて構成された DTMOS トランジスタでは、図 10 に示するような n 型 DTMOS トランジスタの場合、p 型の半導体材料 (例えば、シリコン) によって構成された基板 1、

半導体材料（例えば、シリコン）によって構成された単結晶層 2 及びこれら基板 1 と単結晶層 2 との間に介在する絶縁層 3（例えば、酸化シリコン層）を有する SOI 4 を具え、単結晶層 2 には、n 型のソース領域 5 と、n 型のドレイン領域 6 と、これらソース領域 5 とドレイン領域 6 とによって包囲された p 型のボディ 7 とが形成され、ボディ 7 上にゲート酸化膜 8 を介して配置されたゲート電極 9 を、ワイヤ 10 を介してボディ 7 と電気的に接続して、そのしきい値電圧を制御する。すなわち、各 DT MOS トランジスタのオン時にはそのしきい値電圧が常に低下し、オフ時にはしきい値電圧が常に上昇する。

【0009】DT MOS トランジスタ及び通常の MOS トランジスタのゲート特性を、横軸にゲート電圧  $V_{gs}$  をとるとともに縦軸にドレイン電流  $I_{ds}$  をとった図 11 のグラフを参照して説明する。 $V_{bs} = 0$  に相当する曲線が通常の MOS トランジスタである。DT MOS トランジスタの場合、オン時はゲート電圧  $V_{gs}$  が基板部分の電圧  $V_{bs}$  に等しいので、しきい値電圧が  $\Delta V_{th}$  だけ低下する。オフ時のリーク電流が同一であるとする、DT MOS トランジスタは  $\Delta V_{th}$  分だけゲート駆動力が向上する。なお、図 11 の  $V_{dd}$  は電源電圧を表す。

【0010】このようにして、VT MOS 技術と DT MOS 技術のいずれを用いても、MOS トランジスタの高速性を維持しながら消費電力を低減させることになる。

#### 【0011】

【発明が解決しようとする課題】〔数 1〕を参照すると、しきい値電圧を効率的に制御するためには基板バイアス定数  $\gamma$  を大きくすればよいことがわかる。しかしながら、一般的には MOS トランジスタで基板バイアス定数を大きくするためには、MOS トランジスタの不純物濃度を上昇させる必要があるものでしきい値電圧それ自体も上昇し、その結果、MOS トランジスタの高速性が損なわれる。このような事情のために基板バイアス定数  $\gamma$  の最適化がこれまで行われておらず、基板バイアス定数  $\gamma$  の値は通常 0.1 ~ 0.3 程度となっている。

【0012】ここで、通常の MOS トランジスタ及び通常の完全空乏型の SOI MOS トランジスタの基板バイアス定数  $\gamma$  を、図 12 及び 13 を参照して説明する。図 12 に示す通常の N 型チャネルの MOS トランジスタの場合、ソース領域 11 及びドレイン領域 12 が形成された基板 13 は P 型となり、通常の P 型チャネルの MOS トランジスタの場合、基板 13 は N 型となる。基板 13 とゲート電極 14 との間に介在するゲート酸化膜 15 の厚さを  $t_{fox1}$  とし、ゲート酸化膜 15 の直下に形成された空乏層深さを  $l_d$  とすると、基板バイアス定数  $\gamma$  は、

#### 【0013】

$$\text{〔数 2〕 } \gamma \approx 3 t_{fox1} / l_d$$

となる。したがって、基板バイアス定数  $\gamma$  を大きくする

ためには不純物イオン濃度を高くして空乏層深さを  $l_d$  を小さくする必要がある。しかしながら、既に説明したように不純物イオン濃度を高くするとしきい値電圧も高くなる。部分空乏型の SOI MOS トランジスタの場合も同様である。

【0014】一方、図 13 に示したような完全空乏型の SOI MOS トランジスタの場合、SOI 16 の絶縁層 18 及び単結晶層 17 の厚さをそれぞれ  $t_{box}$  及び  $t_{SOI}$  とし、ゲート酸化膜 19 の厚さを  $t_{fox2}$  とすると、空乏層深さが  $t_{box} + t_{SOI}$  に相当し、基板バイアス定数  $\gamma$  は、

#### 【0015】

$$\text{〔数 3〕 } \gamma \approx 3 t_{fox2} / (3 t_{box} + t_{SOI})$$

となり、基板バイアス定数  $\gamma$  が極めて小さい値になる。

【0016】近年、VT MOS 技術や DT MOS 技術の特徴を従来以上に活用するとともに高速性と消費電力の低減との両立を可能にするために、MOS トランジスタのしきい値電圧を低下させたまま基板バイアス値を増大させることができるようにすることが所望されているが、かかる不都合のためにこれらの両立は困難なものとなっている。

【0017】本発明の目的は、更なる高速性及び消費電力の低減を可能にするしきい値電圧を制御しうる MOS トランジスタを有する回路及びしきい値電圧を制御方法を提供することである。

#### 【0018】

【課題を解決するための手段】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路は、しきい値電圧を制御しうる MOS トランジスタを具え、その MOS トランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有する SOI を有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記 MOS トランジスタを、前記基板に第 1 の極性の電圧を印加することによって、前記包囲領域の前記絶縁層に対する接合面付近に第 2 の極性の電荷を誘起させた EIB-MOS トランジスタとしたことを特徴とするものである。

【0019】本発明によるしきい値電圧を制御しうる MOS トランジスタを有する回路によれば、基板に第 1 の極性の電圧（すなわち、正電圧又は負電圧）を印加する。これによって、基板に第 1 の極性の電荷が誘起される（正電圧を印加した場合には、正の電荷すなわちホールが誘起され、負電圧を印加した場合には、負の電荷すなわち電子が誘起される。）。このように第 1 の極性の電荷が誘起されることによって、空乏層が絶縁層に達した包囲領域の絶縁層に対する接合面付近に第 2 の極性の電荷が誘起される（正電圧を印加した場合には、負の電

荷すなわち電子が誘起され、負電圧を印加した場合には、正の電荷すなわちホールが誘起される。）。

【0020】このように絶縁層に対する接合面付近に第2の極性の電荷が存在することによって、MOSトランジスタの空乏層深さが単結晶層の厚さに相当することになる。既に説明したように、基板バイアス定数は空乏層深さに反比例するので、従来の完全空乏型SOI MOSトランジスタのように空乏層深さが単結晶層の厚さと絶縁層の厚さとの和に相当する場合に比べて基板バイアス定数を大きくすることができる。したがって、本発明

によるしきい値電圧を制御しうるMOSトランジスタを有する回路によれば、不純物濃度を高くすることなく基板バイアス定数を大きくすることができ、その結果、しきい値電圧を制御しうるMOSトランジスタを有する回路の更なる高速性及び消費電力の低減を可能にする。

【0021】本発明によるしきい値電圧制御方法は、しきい値電圧を制御しうるMOSトランジスタを具え、そのMOSトランジスタが、半導体材料によって構成された基板、半導体材料によって構成された単結晶層及びこれら基板と単結晶層との間に介在する絶縁層を有するSOIを有し、前記単結晶層に、ソース領域と、ドレイン領域と、これらソース領域とドレイン領域とによって包囲された包囲領域とが形成され、その包囲領域の空乏層が前記絶縁層に達し、前記MOSトランジスタを、前記基板に第1の極性の電圧を印加し、前記包囲領域の前記絶縁層に対する接合面付近に第2の極性の電荷を誘起させたEIB-MOSトランジスタとすることを特徴とするものである。

【0022】本発明によれば、MOSトランジスタの更なる高速性及び消費電力の低減を可能にする。

【0023】EIB-MOSトランジスタを、DTMOS技術を用いて構成したEIB-DTMOSトランジスタなどとしてことができ、好適には、チャネルに誘起されるキャリアと同一の導電型となるようにチャネルを不純物ドーピングしたアキュミュレーションモードDTMOSトランジスタとする。また、EIB-MOSトランジスタによってCMOS (Complementary MOS) 回路を構成した場合にも本発明を適用することかできる。

【0024】

【発明の実施の形態】本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路及びしきい値電圧を制御方法の実施の形態を、図面を参照して詳細に説明する。なお、図面中のn、p等は、その領域の導電型を表すものとする。図1は、本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路の第1の実施の形態を示す図である。本実施の形態では、MOSトランジスタをn型のSOI MOSトランジスタとし、このSOI MOSトランジスタは、シリコンによって構成された基板20、単結晶シリコンによって構成

された単結晶層21及びこれら基板20と単結晶層21との間に介在するSiO<sub>2</sub>によって構成された絶縁層22を有するSOI23を有する。

【0025】単結晶層21には、n型のソース領域24と、n型のドレイン領域25と、これらソース領域とドレイン領域とによって包囲された包囲領域としてのボディ26とが形成される。ボディ26の空乏層は絶縁層22に達する。また、ボディ26とゲート電極27との間にゲート電極28が介在する。

【0026】本実施の形態では、基板20に第1の極性の電圧として負の電圧V<sub>sub1</sub>を印加する。このような電圧V<sub>sub1</sub>を、しきい値電圧を制御しうるMOSトランジスタを有する回路の外部から印可し又はしきい値電圧を制御しうるMOSトランジスタを有する回路内部で生成して印加する。

【0027】本実施の形態の動作を説明する。基板20に電圧V<sub>sub1</sub>が印加されると、基板20に電子が誘起される。このように電子が誘起されることによって、ボディ26の絶縁層22に対する接合面付近にホールが誘起される。すなわち、従来の完全空乏型SOIトランジスタには存在しなかったP型領域を、電圧V<sub>sub1</sub>によって電気的にボディ26に設ける。このような構造のMOSトランジスタを、EIB (Electrically Induced Body) -MOSトランジスタと称する。

【0028】このように接合面付近にホールが存在することによって、空乏層深さが単結晶層21の厚さt<sub>SOI2</sub>に相当することになる。したがって、ゲート酸化膜28の厚さをt<sub>fox3</sub>とした場合、このSOI MOSトランジスタの基板バイアス定数γは、

【0029】

$$\text{【数4】 } \gamma \approx 3 t_{\text{fox3}} / t_{\text{SOI2}}$$

となり、基板バイアス定数γがボディ26の不純物濃度に依存しないこととなる。したがって、本実施の形態によれば、しきい値電圧に依存せずに基板バイアス定数γを設定することができ、しかも単結晶層21の厚さt<sub>SOI2</sub>が薄くなるに従って基板バイアス定数γが増大することがわかる。その結果、しきい値電圧を制御しうるMOSトランジスタを有する回路の更なる高速性及び消費電力の低減を可能にする。

【0030】図2は、本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路の第2の実施の形態を示す図である。本実施の形態では、MOSトランジスタをn型のインバージョンモードDTMOSトランジスタ29とし、その基板には負の電圧V<sub>sub2</sub>を印可する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0031】図3は、本発明によるしきい値電圧を制御しうるMOSトランジスタを有する回路の第3の実施の形態を示す図である。本実施の形態では、MOSトラン

ジスタを、チャネルに誘起されるキャリアと同一の導電型（この場合、 $n$ 型）となるようにチャネルを不純物ドーピングした $n$ 型のアキュムレーションモードDTMOSトランジスタ30とし、その基板には負の電圧 $V_{\text{sub3}}$ を印可する。本実施の形態では、後に説明するように、基板バイアス定数 $\gamma$ を著しく増大させたまましきい値電圧が低下し、高速性及び消費電力の低減の両立に更に好適なものとなる。

【0032】図4は、本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第4の実施の形態を示す図である。本実施の形態では、 $n$ 型及び $p$ 型のインバーションモードDTMOSトランジスタによってCMOS回路31を構成し、その基板に負の電圧 $V_{\text{sub4}}$ 及び正の電圧 $V_{\text{sub5}}$ をそれぞれ印加する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0033】図5は、本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第5の実施の形態を示す図である。本実施の形態では、 $n$ 型及び $p$ 型のアキュムレーションモードDTMOSトランジスタによってCMOS回路32を構成し、その基板に負の電圧 $V_{\text{sub6}}$ 及び正の電圧 $V_{\text{sub7}}$ をそれぞれ印加する。本実施の形態も、上記実施の形態と同様の作用効果を有する。

【0034】次に、EIB-DTMOSトランジスタ、完全空乏型SOI MOSトランジスタ及び基板部分の電圧が零のEIB-MOSトランジスタの特性を、図6及び7を用いて比較する。なお、いずれのトランジスタも、ゲート酸化膜、単結晶層及び絶縁層の厚さをそれぞれ10nm、40nm及び100nmとし、ボディ $P$ 型（したがってインバーションモード）で不純物濃度を $10^{16} \text{ cm}^{-3}$ とする。図6は、サブスレッショルド特性を示す図である。この場合、横軸にゲート電圧 $V_{\text{gs}}$ をとるとともに縦軸にドレイン電流 $I_{\text{ds}}$ をとる。曲線FDで示す完全空乏型SOI MOSトランジスタの場合、オン時の電流が大きい反面オフ時（ $V_{\text{gs}} = 0$ ）のときのドレイン電流が非常に大きくなる。一方、曲線ETICで示す基板部分の電圧が零のEIB-MOSトランジスタの場合、オフ時の電流が低く抑制されているが、オン時の電流も小さく、高速性がないことがわかる。曲線EIB-DTMOSで示すEIB-DTMOSトランジスタの場合、しきい値電圧がオン時とオフ時でダイナミックに変化するために、オン時の電流は大きくなり、かつ、オフ時の電流が小さくなり、その結果、高速性と消費電力の低減とが両立される。

【0035】図7は、オン電流／オフ電流特性を示す図である。この場合、横軸にオン電流 $I_{\text{on}}$ をとるとともに縦軸にオフ電流 $I_{\text{off}}$ をとる。図からわかるように、EIB-DTMOSトランジスタの場合、オフ電流が小さくオン電流が大きいことがわかる。なお、この場合のEIB-DTMOSトランジスタの基板バイアス定数 $\gamma$ は0.8であった。また、EIB-DTMOSトランジ

スタの他の特徴として、短チャネル効果に強いということも挙げることできる。

【0036】次に、従来のDTMOSトランジスタ及びEIB-DTMOSトランジスタの特性を、図8及び9を用いて比較する。図8は、しきい値電圧と基板バイアス係数との関係を示す図である。この場合、横軸に基板バイアス定数 $\gamma$ をとるとともに縦軸にしきい値電圧 $V_{\text{th}}$ をとる。また、従来のDTMOSトランジスタの変化を曲線Conv.で示し、インバーションモードのEIB-DTMOSトランジスタの変化を、Inv. EIBで示し、アキュムレーションモードのEIB-DTMOSトランジスタの特性をAcc. EIBで示す。図からわかるように、アキュムレーションモードのEIB-DTMOSトランジスタではしきい値電圧 $V_{\text{th}}$ を低く維持したまま基板バイアス定数 $\gamma$ を大きくできることがわかる。

【0037】図9は、オン電流／オフ電流特性を示す図である。この場合、横軸にオン電流 $I_{\text{on}}$ をとるとともに縦軸にオフ電流 $I_{\text{off}}$ をとる。図からわかるように、アキュムレーションモードのEIB-DTMOSトランジスタでは、高速性と高速性と消費電力の低減とが最も両立されていることがわかる。

【0038】本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、上記実施の形態については、 $N$ 型のMOSトランジスタについて説明したが、 $P$ 型のMOSトランジスタについても本発明によるしきい値電圧を制御するMOSトランジスタを有する回路及びしきい値電圧を制御方法を同様に適用することができる。しきい値電圧を制御するMOSトランジスタとして、VTMOS技術を用いて構成したVTMOSトランジスタを用いることができる。また、他のしきい値電圧制御技術を用いて大きな基板バイアス定数を生かすこともできる。

#### 【図面の簡単な説明】

【図1】本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第1の実施の形態を示す図である。

【図2】本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第2の実施の形態を示す図である。

【図3】本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第3の実施の形態を示す図である。

【図4】本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第4の実施の形態を示す図である。

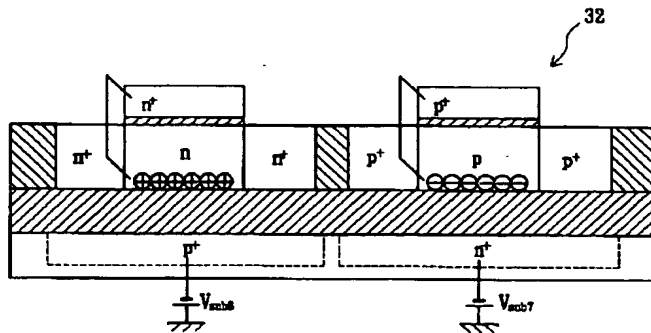
【図5】本発明によるしきい値電圧を制御するMOSトランジスタを有する回路の第5の実施の形態を示す図である。

【図6】サブスレッショルド特性を示す図である。

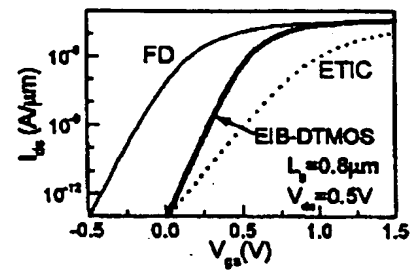




【図5】

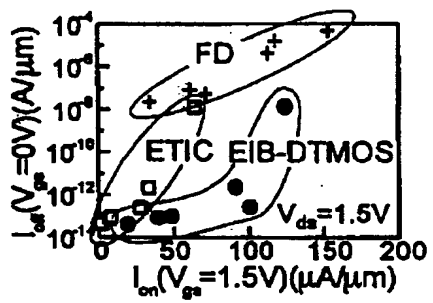


【図6】

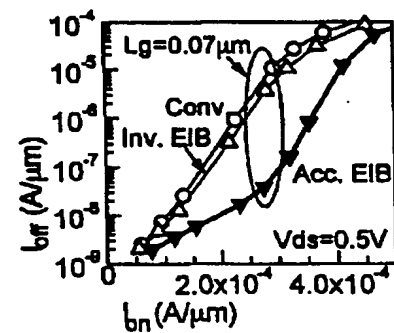
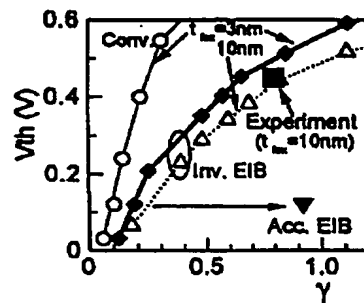


【図9】

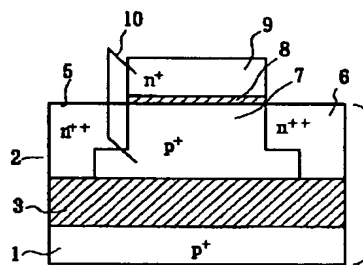
【図7】



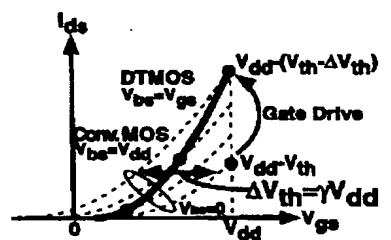
【図8】



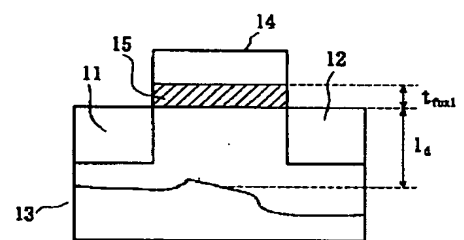
【図10】



【図11】



【図12】



【図13】

